

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Off nlegungsschrift**
(10) **DE 199 53 620 A 1**

⑤1 Int. Cl. 7:
H 01 L 29/78
H 01 L 21/336
H 01 L 27/088
H 02 M 3/10

②1 Aktenzeichen: 199 53 620.1
②2 Anmeldetag: 8. 11. 1999
④3 Offenlegungstag: 11. 5. 2000

③0 Unionspriorität:
107700 09. 11. 1998 US

⑦1 Anmelder:
International Rectifier Corp., El Segundo, Calif., US

⑦4 Vertreter:
G. Koch und Kollegen, 80339 München

⑦2 Erfinder:
Herman, Thomas, Manhattan Beach, Calif., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Niederspannungs-MOSFET und Verfahren zu seiner Herstellung

⑤7 Ein Leistungshalbleiter-Bauteil, insbesondere ein Leistungs-MOSFET mit verringerter Leistungszahl, weist ein Halbleiterplättchen mit einer planaren streifenförmigen MOSFET-Geometrie auf, bei der parallele eindiffundierte Basis-Bereiche (oder Kanäle) durch die Implantation und Diffusion von Verunreinigungen durch parallele langgestreckte und mit Abstand voneinander angeordnete Polysilizium-Streifen hindurch ausgebildet werden, wobei die Polysilizium-Zeilenbreite zwischen ungefähr 3,2-3,4 μm und vorzugsweise bei 3,4 μm liegt. Der Polysilizium-Zeilenabstand liegt zwischen 1 und 4 μm und vorzugsweise bei 1,5 μm , und die eindiffundierten Basis-Bereiche weisen einen Abstand von mehr als ungefähr 0,8 μm auf. Die Polysilizium-Streifen wirken als Masken für die nachfolgende Bildung erster Basis-Streifen, der Source-Streifen, und zweiter, eine höhere Konzentration aufweisender Basis-Streifen, die tiefer als die ersten Basis-Streifen sind. Isolierende Seitenwand-Abstandsstücke werden zur Definition einer Kontaktätzung für den Sourcekontakt verwendet. Eine bevorzugte Anwendung der vorstehenden Geometrie besteht in Gegenwirkungs-Wandlerschaltungen, in denen die gleiche Geometrie für den Steuer-MOSFET und den Synchrongleichrichter-MOSFET verwendet wird.

DE 199 53 620 A 1

DE 199 53 620 A 1

Die Erfindung bezieht sich auf ein Leistungshalbleiter-Bauteil mit MOS-Gatesteuerung der im Oberbegriff des Anspruchs 1 genannten Art und insbesondere auf ein neuartiges Halbleiterbauteil mit MOS-Gatesteuerung, das eine minimale Leistungszahl hat, sowie auf ein neuartiges Verfahren zu seiner Herstellung und eine neuartige Schaltungsanwendung des Halbleiterbauteils.

Niederspannungs-Leistungshalbleiter-Bauteile mit MOS-Gatesteuerung, insbesondere Leistungs-MOSFET-Bauteile sind gut bekannt und werden üblicherweise mit planaren oder Graben-Topologien hergestellt. Die Graben-Topologien wurden für Halbleiterbauteile für sehr niedrige Spannungen verwendet, die die geringstmöglichen Schaltverluste bei Hochfrequenzanwendungen haben müssen, wie z. B. in Gleichspannung-Gleichspannung-Wandlern, die zur Erzeugung einer geregelten Gleichspannung für tragbare elektronische Geräte verwendet werden, die aus einer Batterie betrieben werden. Durch Verringern des Schaltverlustes kann die Batterielebensdauer für derartige tragbare Geräte, wie z. B. Laptop-Computer vergrößert werden.

Der Schaltverlust ist teilweise durch die Kennzahl oder Leistungszahl des MOSFET bestimmt, die das Produkt des Einschaltwiderstandes $R_{DS(on)}$ und der Gate-Ladung Q_g ist. Eine minimale Leistungszahl ist für MOSFET-Bauteile erwünscht, die bei hoher Frequenz und niedriger Spannung betrieben werden. Graben-Bauteile waren bei diesen Anwendungen nützlich, weil angenommen wurde, daß sie von Natur aus einen geringeren Wert von Q_g haben, als dies bei planaren Konstruktionen der Fall ist.

In planarer Technologie hergestellte MOSFET-Bauteile unter Verwendung von mit Abstand voneinander angeordneten geschlossenen vieleckigen Zellen sind gut bekannt und sind beispielsweise in dem US-Patent 5 008 725 und in der beigefügten Fig. 12 gezeigt. Diese Bauteile haben einen relativ niedrigeren Einschaltwiderstand $R_{DS(on)}$ als äquivalente Bauteile mit Graben-Konstruktion, doch erstreckt sich aufgrund der Geometrie der vieleckigen Konstruktion (üblicherweise sechseckige oder rechteckige Basiszeilen) das Polysilizium-Gate über Bereiche, wie z. B. die Bereiche 30 nach Fig. 12 für eine hexagonale Zellentopologie, die nicht zur Breite des invertierbaren Kanals beitragen. Im einzelnen zeigt Fig. 12 eine Polysilizium-Maschenstruktur 31, die Fenster 32, 33, 34 und 35 enthält, die zur Bildung diffundierter Basisbereiche oder Kanäle verwendet werden, die mit gestrichelten Linien gezeigt sind. Die Fensteröffnungen, wie z. B. die Öffnung 36, hatten bei Niederspannungskonstruktionen üblicherweise eine Abmessung von 5,8 μm . Das Polysilizium 31 liegt über Bereichen 30, die inaktiv sind und andererseits stark zu der Polysilizium-Gate-/Drain-Kapazität und damit zu Q_g beitragen.

Planare Konstruktionen haben weiterhin eine Streifen-Topologie verwendet, wobei langgestreckte, mit Abstand voneinander angeordnete Basisstreifen verwendet werden. Obwohl diese Konstruktionen einen niedrigeren Wert von Q_{GD} als zelluläre Konstruktionen haben, haben sie üblicherweise einen vergrößerten Einschaltwiderstand, und es wurde angenommen, daß die Leistungszahl durch die Konstruktion mit planaren Streifen nicht verringert wurde.

Der Erfindung liegt die Aufgabe zugrunde, ein Niederspannungs-Leistungshalbleiter-Bauteil mit MOS-Gatesteuerung zu schaffen, das eine planare Streifen-Topologie verwendet, wobei die Leistungszahl, d. h. das Produkt von Q_g und $R_{DS(on)}$ verringert werden kann.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der

Erfindung ergeben sich aus den Unteransprüchen.

Gemäß der Erfindung wird eine Topologie verwendet, die parallele Basisstreifen mit einem Polysilizium-Zeilen- oder Linienabstand zwischen weniger als ungefähr 1,5 μm bis ungefähr 2,5 μm aufweist, wobei die Polysilizium-Zeilen- oder Linienbreite zwischen ungefähr 2,6 bis ungefähr 8,0 μm liegt, in Abhängigkeit von der Drain-/Source-Nennspannung. Für ein 30 V-Bauteil würde dieser Wert zwischen 3,2 und 3,5 μm , vorzugsweise bei 3,4 μm liegen. Ein Basisabstand von ungefähr 0,8 μm ergibt eine minimale Leistungszahl. Es wurde festgestellt, daß die vergrößerte Kanalbreite pro Einheitsfläche, die sich aus dem engeren Abstand der Polysilizium-Zeilen ergibt, $R_{DS(on)}$ proportional stärker verringert, als Q_g ansteigt, wobei in der Praxis eine minimale Leistungszahl bei einem Polysilizium-Zeilenabstand von ungefähr 1,5 μm erreicht wird. Die mit dieser neuen Geometrie erreichte Leistungszahl ist niedriger als die, die mit äquivalenten Halbleiterplättchenbereichen erzielt wird, die entweder eine Graben-Technologie oder eine geschlossene vieleckige Zellentechnologie verwenden.

Weiterhin ergibt die vorliegende Erfindung ein Halbleiterbauteil, das sowohl einen extrem niedrigen Wert von $R_{DS(on)}$ als auch eine extrem Lawinendurchbruchsenenergie aufweist.

Ein weiteres Merkmal der Erfindung verwendet die Polysilizium-Streifen zur Bildung einer Maske für die Bildung von drei aufeinanderfolgenden Bereichen, wobei der erste eine Basis- (oder Kanal-) Diffusion ist, der zweite eine Source-Diffusion ist, und der dritte ein höherer Konzentrations aufweisender Basisbereich ist, der unter der ersten Basis liegt und nicht in den invertierbaren Kanal eindringt, der von der ersten Basis und der Source gebildet wird. Der dritte Bereich wird durch eine Implantation durch das Polysiliziumfenster hindurch und eine nachfolgende Wärmebehandlung gebildet.

Eine neuartige Anwendung der Erfindung besteht in Gleichspannungs-/Gleichspannungs-Wandlerschaltungen, die einen Steuer-MOSFET und einen Synchrongleichrichter-MOSFET verwenden. Beide dieser MOSFET-Bauteile werden durch das Verfahren gemäß der Erfindung hergestellt und unterscheiden sich lediglich hinsichtlich ihres Halbleiterplättchen-Bereichs.

Ausführungsbeispiele der Erfindung werden nachfolgend anhand der Zeichnungen noch näher erläutert.

In der Zeichnung zeigen:

Fig. 1 eine Draufsicht auf ein Halbleiterplättchen, das die Struktur der vorliegenden Erfindung enthalten kann,

Fig. 2 einen Querschnitt des Abschlußbereiches des Halbleiterplättchens nach Fig. 1 in dem mit einem Kreis umgebenen Bereich "A" in Fig. 1 bei einer ersten Stufe der Herstellung des Halbleiter-Bauteils,

Fig. 3 das Streifenmuster des Polysilizium-Gates innerhalb des aktiven Bereichs, der in dem Kreis "B" in Fig. 1 gezeigt ist,

Fig. 4 einen Querschnitt der Fig. 3 entlang der Schnittlinie 4-4 nach Fig. 3 nach dem Schritt der Bildung des Polysilizium-Gatestreifen,

Fig. 5 den Abschlußbereich nach Fig. 2 nach der Abscheidung von Polysilizium zur Bildung einer Abschlußfeldplatte,

Fig. 6 die Struktur nach Fig. 4 nach der Diffusion der Kanal- und Source-Bereiche,

Fig. 7 die Struktur nach Fig. 6 nach der Implantation von einer hohen Konzentration aufweisenden tiefen Basisbereichen,

Fig. 8 die Struktur nach Fig. 7 nach der Bildung der Source- und Drain-Elektroden,

Fig. 9 die Änderung der Kanalbreite (und damit des Rezi-

prokwertes des Einschaltwiderstandes) als eine Funktion des Polysilizium-Zeilenabstandes,

Fig. 10 die Gate-/Drain-Fläche und damit Q_g als eine Funktion des Polysilizium-Zeilenabstandes,

Fig. 11 ein Schaltbild eines Gleichspannungs-/Gleichspannungs-Wandlers unter Verwendung von Leistungs-MOSFET-Bauteilen, die gemäß der Erfindung hergestellt werden,

Fig. 12 die Polysilizium-Konfiguration eines bekannten MOSFET-Bauteils mit einer polygonalen Zellentopologie.

In Fig. 1 ist ein typisches Halbleiterplättchen 40 gezeigt, das gemäß der vorliegenden Erfindung verarbeitet werden kann, um ein Halbleiterbauteil mit MOS-Gatesteuerung zu schaffen, beispielsweise einen Leistungs-MOSFET. Obwohl die Erfindung auf alle Spannungsbereiche anwendbar ist, ist sie insbesondere für Bauteile nützlich, die eine Durchbruchspannung von weniger als ungefähr 60 Volt haben. Das Halbleiterplättchen 40 kann einen oberen Source-Kontakt, ein Gate-Anschlußkissen 41 zum Anschluß an sein Polysilizium-Gate und einem unteren Drain-Kontakt haben, wie dies beschrieben wird. Eine Silizium-Halbleiterscheibe wird mit identischen Halbleiterplättchen ausgebildet, die gleichzeitig in der Silizium-Halbleiterscheibe verarbeitet werden und die am Ende des Herstellungsverfahrens voneinander getrennt werden.

Die Ausdrücke Halbleiterplättchen, Chip und Halbleiterscheibe werden in vielen Fällen austauschbar verwendet. Das Halbleiterplättchen 40 kann Abmessungen von bis zu $2,6 \times 3,98$ mm (102 tausendstel Zoll \times 157 tausendstel Zoll) haben, was die größte Halbleiterplättchengröße darstellt, die in einem typischen SO8-Gehäuse befestigt werden kann. Selbstverständlich können auch irgendwelche anderen Gehäuse verwendet werden.

Der erste Schritt bei dem zur Herstellung des Halbleiter-Bauteils gemäß der Erfindung verwendeten Verfahren ist die Auswahl einer geeigneten Halbleiterscheibe 50, die in Fig. 2 gezeigt ist und einem hochleitenden N^{++} -Hauptteil 51, der 375 μ m dick sein kann (auf 200 μ m am Ende des Verfahrens heruntergeschliffen) und ein epitaxial gebildetes, die Grenzschichten aufnehmendes Substrat 52 aufweist. Für eine Durchbruchspannung von ungefähr 30 Volt hat die Schicht 52 eine Dicke von ungefähr 5 μ m und einen spezifischen Widerstand von ungefähr 0,18 Ω cm, und sie kann als eine N^- -Schicht betrachtet werden.

Eine Feldoxidschicht 53 mit einer Dicke von 7500 Å wird als erstes über der Schicht 52 zum Aufwachsen gebracht, und in einem ersten Maskierungsschritt wird ein Fenster 54 in dem Feldoxid geöffnet, und eine P^+ -Diffusion 55 wird um den Umfang des Halbleiterplättchens und unter dem Gate von den Kissens des Halbleiterplättchens gebildet, was als ein Feldabschlußring für das fertige Bauteil dient. Diese Diffusion kann mit einer Borimplantation mit einer Dosis von $1E14$ und mit einer Energie von 80 kV ausgeführt werden, gefolgt von einem Diffusionseintreisschritt bei 1050°C über zwei Stunden. Hierdurch wird der P^+ -Bereich 55 mit einer Tiefe von ungefähr 1,5 μ m erzeugt.

Das Feldoxid 53 wird dann selektiv geätzt, um den aktiven Bereich des Halbleiterplättchens zu öffnen. Wie dies als nächstes in den Fig. 3 und 4 gezeigt ist, wird eine Gateoxid-Schicht 60 über der Oberfläche der Schicht 22 bis zu einer Dicke von ungefähr 300 Å zum Aufwachsen gebracht. Eine leitende Polysiliziumschicht 61 wird dann über der Gateoxid-Schicht 60 bis zu einer Dicke von 0,75 μ m zum Aufwachsen gebracht. Außerdem wird eine Oxidschicht 200 über der Polysiliziumschicht 61 zum Aufwachsen gebracht oder auf dieser abgeschieden. Die Polysiliziumschicht 61, die Oxidschicht 60 und die Oxidschicht 200 werden dann in langgestreckte parallele Streifen geätzt, wie dies in Fig. 3

gezeigt ist.

Gemäß der Erfindung liegt die Breite der Polysilizium-Streifen 61 (die Polysilizium-Zeilenbreite) zwischen 2,6 und 8,0 μ m, vorzugsweise im Bereich von 3,2 bis 3,5 μ m, und für ein 30 Volt-Halbleiter-Bauteil beträgt sie vorzugsweise 3,4 μ m, während der Abstand (Polysilizium-Zeilenabstand) zwischen den parallelen langgestreckten und geraden Streifen 61 zwischen 1 und 4 μ m, vorzugsweise bei 1,5 μ m liegt.

Während des Ätzens der Polysiliziumschicht 61 ermöglicht die verwendete Maske die Ausbildung der Abschlußfeldplatte 70, die in Fig. 5 gezeigt ist. Die Feldplatte 70 hat eine Länge von ungefähr 15 μ m, und sie ist von dem benachbarten Ende eines EQR-Ringes 72 (der teilweise in Fig. 5 gezeigt ist) durch einen Spalt von 5–8 μ m getrennt.

Danach wird in der in Fig. 6 gezeigten Weise ein geeigneter Photolithographie-Schritt ausgeführt, wobei die Oxidstreifen 200 und die Polysilizium-Streifen 61 dazu verwendet werden, einen langgestreckten Kanal und Sourcediffusionen 80 bzw. 81 zu definieren. Im einzelnen wird zur Bildung des Kanalbereichs 80 eine Borimplantation mit einer Dosis von $8,5E13$ bei 80 kV verwendet. Dieses Implantat wird dann bei 1125°C über 90 Minuten in Stickstoffgas eingetrieben, wodurch die Kanalimplantate 80 bis zu einer Tiefe von ungefähr 1,25 μ m eingetrieben werden. Von Bedeutung hierbei ist, daß die Kanäle 80 durch einen gemeinsamen Leitungsbereich voneinander getrennt sind, der ungefähr 0,8 μ m oder mehr breit ist, wie dies in Fig. 6 gezeigt ist.

Die N^+ -Source-Bereiche 81 werden dann unter Verwendung einer Arsen-Implantation bei einer Dosis von $8E15$ bei 120 kV gebildet. Dieses Implantat wird dann bei 975°C über 90 Minuten eingetrieben, wodurch die Source-Bereiche bis zu einer Tiefe von ungefähr 0,4 μ m eingetrieben werden und invertierbare Kanalbereiche 82 innerhalb der Basen 80 gebildet werden.

Danach wird in der in Fig. 7 gezeigten Weise und gemäß einem getrennten Merkmal der Erfindung ein P^+ -Bereich 85 durch die gleichen Fenster implantiert, die die Kanal- und Source-Bereiche 80 bzw. 81 definierten. Um das Eindringen der stark dotierten Bereiche 85 in den Kanalbereich 82 zu verhindern, werden die stark dotierten Bereiche 85 durch eine Bohrimplantation mit einer Dosis von $2E15$ bei 150 kV gefolgt von einer Wärmebehandlung über 30 Minuten bei 975°C gebildet. Die P^+ -Bereiche 85 vergrößern die Stabilität des Bauteils und verringern den Wert von R_b der Basen 80.

Danach wird der Source-Aluminiumkontakt 90 (Fig. 8) mit den Source- und Kanalbereichen durch das Verfahren verbunden, das in der anhängigen US-Patentanmeldung 08/956 062 (IR-1232) beschrieben ist. Somit wird in der in Fig. 8 gezeigten Weise eine Isolierschicht 95, die aus einem Niedrigtemperaturoxid besteht, und Seitenwand-Abstandsstücke 96 aufweist, über den Polysilizium-Streifen 61 gebildet, um diese gegenüber dem Sourcekontakt 90 zu isolieren. Die Schicht 95 kann eine Dicke von ungefähr 0,6–0,7 μ m aufweisen. Ein Ätzvorgang wird dann durchgeführt, um flache Gräben 98 in und durch und entlang der Mitte jedes Source-Bereiches 51 und in den darunterliegenden Kanalbereich 80 zu ätzen: Die Gräben sind vorzugsweise schmaler als der Abstand zwischen den Seitenwand-Abstandsstücken, so daß eine kurze planare Leiste an der Siliziumoberfläche freigelegt wird, um den Kontakt mit der Aluminium-Source-Schicht 90 zu verbessern.

Der Kontakt 90 kann dann eine (nicht gezeigte) Isolierbeschichtung erhalten und mit einem Muster versehen werden, um das Ätzen und die Definition des Gate-Anschlußkisses 41 und des Abschlusses zu ermöglichen, wie dies erwünscht ist.

Ein Unterseitenmetall 99 wird dann auf die Unterseite des Halbleiterplättchens aufgebracht, um als Drainkontakt zu wirken.

Die Fig. 9 und 10 zeigen die konstruktiven Kompromisse, die bei der vorliegenden Erfindung verwendet werden, wobei die Streifen-Topologie der vorliegenden Erfindung mit einer bekannten Zellular-Topologie verglichen wird. Aus Fig. 9 ist zu erkennen, daß die Gesamtkanalbreite eines Halbleiterplättchens mit einer vorgegebenen Fläche ansteigt, wenn der Polysilizium-Zeilenabstand verringert wird. Eine größere Kanalbreite ist erwünscht, weil hierdurch der Einschaltwiderstand des Halbleiter-Bauteils verringert wird. Bei dem bekannten Halbleiter-Bauteil mit hexagonalen Zellen nach Fig. 6 wird ein Zeilenabstand von 5,8 µm für Halbleiter-Bauteile mit niedrigeren Spannungen verwendet. Wie dies in Fig. 9 gezeigt ist, ergibt dies eine größere Kanalbreite als eine Streifengeometrie mit einem ähnlichen Abstand. Fig. 10 zeigt den bekannten Vorteil der Streifengeometrie gegenüber der zellularen Geometrie in Ausdrücken von Q_g . Der Unterschied bezüglich des Wertes von Q_g wird jedoch bei größeren Polysilizium-Zeilenabständen zu einem Minimum.

Es wurde festgestellt, daß die Streifengeometrie eine größere Kanalbreite pro Einheitsfläche für Polysilizium-Zeilenabstände in dem Bereich zwischen ungefähr 1–4 µm, insbesondere bei ungefähr 1,5 µm hervorruft, und zwar überraschenderweise ohne Anstieg von $R_{DS(on)}$.

Somit wurde gemäß der Erfindung festgestellt, daß eine minimale Leistungszahl mit einer Wahl des Polysilizium-Zeilenabstandes von 1–4 µm und einer Polysilizium-Zeilenbreite von 3,2–3,4 µm erreicht wird.

Fig. 11 zeigt ein Schaltbild, das Leistungs-MOSFET-Bauteile verwendet, die gemäß der Erfindung hergestellt wurden. Die Schaltung nach Fig. 11 ist eine Gleichspannungs-/Gleichspannungs-Gegenwirkungs-Wandlerschaltung, die einen Eingangs-Gleichspannungsanschluß 110 aufweist, der mit einer Batterie mit einer Nennspannung von 14 Volt verbunden sein kann und mit der Source-Elektrode eines Hochfrequenz-Steuer-MOSFETs 110 verbunden ist, der in Serie mit einer Induktivität 112 geschaltet ist, die ihrerseits mit einem Gleichspannungsausgangsanschluß verbunden ist, der beispielsweise eine geregelte Spannung von 1,5 Volt liefern kann. Ein Synchrongleichrichter-MOSFET 113 ist zwischen dem Verbindungspunkt zwischen dem MOSFET 111 und der Induktivität 112 gegen Erde angeschaltet. Eine geeignete integrierte Steuerschaltung 114 ist so programmiert, daß sie Gate-Signale liefert, um das Einschalten und Abschalten der MOSFET-Bauteile 111 und 113 in einer geeigneten und bekannten Folge zu steuern, um die gewünschte Ausgangsgleichspannung zu erzeugen, selbst wenn sich die Eingangsgleichspannung aufgrund einer Alterung der angeschlossenen Batterie, aufgrund von Temperaturänderungen, des Ladungszustandes und dergleichen ändert.

In der Vergangenheit wurde der MOSFET 111 so gewählt, daß er einen minimalen Schaltverlust aufweist, während der Synchrongleichrichter-MOSFET so gewählt ist, daß er einen geringen Leistungsverlust (d. h. einen niedrigen Wert von $R_{DS(on)}$) aufweist. Somit hatten die MOSFETs unterschiedliche Herstellungstechniken, beispielsweise eine Graben-Technologie für den MOSFET 111 und eine planare zellulare Technologie für den MOSFET 113.

Gemäß einem wesentlichen Merkmal dieser Erfindung können beide MOSFET-Bauteile 111 und 113 in vorteilhafter Weise die planare Streifentechnologie verwenden, die für das Halbleiter-Bauteil nach den Fig. 1 und 8 gezeigt ist, und die Halbleiterplättchen würden sich lediglich hinsichtlich der Größe unterscheiden. So hat das MOSFET-Bauteil 111

geringere Stromforderungen als das MOSFET-Bauteil 113 und erfordert eine Halbleiterplättchen-Größe von beispielsweise 1,4 × 3,6 mm (56 tausendstel Zoll × 140 tausendstel Zoll), während der MOSFET 113 eine Halbleiterplättchen-Größe von 2,6 × 3,98 mm (102 tausendstel Zoll × 157 tausendstel Zoll) aufweisen, wobei beide Halbleiterplättchen getrennt in Gehäusen vom Typ S08 oder in einem gemeinsamen Gehäuse angeordnet werden können.

Patentansprüche

1. Halbleiter-Bauteil mit MOS-Gatesteuerung mit einer minimalen Leistungszahl, wobei das Halbleiter-Bauteil ein Halbleiterplättchen aus monokristallinem Silizium mit einem Hauptteil (51) und einer oberen, die Grenzschichten aufnehmenden Schicht (52) eines ersten Leitungstyps aufweist, **gekennzeichnet durch** eine Vielzahl von langgestreckten, einen Abstand voneinander aufweisenden und parallelen Basisstreifen-Diffusionen (80) des anderen Leitungstyps, die in der oberen Oberfläche der die Grenzschichten aufnehmenden Schicht (52) ausgebildet sind, und eine Vielzahl von langgestreckten Source-Diffusionen (81) des einen Leitungstyps, die in den Basisstreifen-Diffusionen (80) ausgebildet sind und sich über die gleiche Erstreckung wie diese erstrecken, um invertierbare Kanalbereiche (82) entlang der Seiten jeder der langgestreckten Basisstreifen-Diffusionen (80) zu bilden, eine Vielzahl von Gate-Streifen (60, 61), die jeweils von leitenden Polysilizium-Streifen (61) bedeckte Gate-Oxidstreifen (60) umfassen, wobei die Vielzahl von Gate-Streifen über jeweiligen mit Abstand voneinander angeordneten Paaren von benachbarten invertierbaren Kanalbereichen (82) und dem Abstand zwischen ihren jeweiligen Basis-Diffusionen (80) liegt,
2. Halbleiter-Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß die Polysilizium-Streifen jeweils eine Breite im Bereich von ungefähr 3,2 µm bis 3,5 µm und einen Abstand im Bereich von ungefähr 1,0–4,0 µm aufweisen, wobei benachbarte Basis-Diffusionen (80) einen Abstand von mehr als ungefähr 0,8 µm aufweisen.
3. Halbleiter-Bauteil nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Polysilizium-Streifen (61) eine Breite von ungefähr 3,1 µm und einen Abstand von ungefähr 1,5 µm aufweisen.
4. Halbleiter-Bauteil nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Basis-Diffusionen (80) eine Tiefe von ungefähr 1,25 µm aufweisen, und daß die Source-Diffusionen (81) eine Tiefe von ungefähr 0,4 µm aufweisen.
5. Halbleiter-Bauteil nach einem der Ansprüche 1–4, dadurch gekennzeichnet, daß weiterhin eine Vielzahl von zweiten Basis-Diffusionen (85) des anderen Leitungstyps vorgesehen ist, die auf jeweiligen der Basis-Diffusionen (80) zentriert sind und die eine höhere Konzentration als die der Basis-Diffusionen (80) aufweisen und mit einer seitlichen Erstreckung versehen sind, die durch den Abstand der Polysilizium-Streifen (61) definiert ist.
6. Verfahren zur Herstellung eines Halbleiter-Bauteils mit MOS-Gatesteuerung, gekennzeichnet durch die folgenden Schritte:
Ausbilden einer Gate-Oxid-Schicht (60) über einer Siliziumoberfläche des einen Leitungstyps,
Ausbilden einer Schicht (61) aus Polysilizium über der Gate-Oxid-Schicht (60),
Ätzen der Polysilizium-Schicht (61) und der darunter-

liegenden Gate-Oxid-Schicht (60) zur Bildung einer Vielzahl von mit Abstand voneinander angeordneten Streifen aus Oxid (60) und darüberliegendem Polysilizium (61),
 Implantieren und Eindiffundieren einer Vielzahl von mit Abstand voneinander angeordneten ersten Basis-Diffusionsstreifen (80) des anderen Leitungstyps in die Siliziumoberfläche, wobei die Polysilizium-Streifen (61) als eine Maske verwendet werden,
 Implantieren und Eindiffundieren einer Vielzahl von Source-Diffusionen (81) in die ersten Basis-Diffusionsstreifen (80), wobei die Polysilizium-Streifen (61) als eine Maske verwendet werden, um invertierbare Kanalbereiche (82) entlang der Außenkanten der ersten Basis-Diffusionsstreifen verbleiben,
 Eindiffundieren dritter Basis-Diffusionsstreifen (85) in die Siliziumoberfläche unter Verwendung der Polysilizium-Streifen (61) als eine Maske und bis zu einer Tiefe, die ungefähr gleich der der ersten Diffusionen (80) ist, sowie mit einer Breite, die im wesentlichen gleich dem Abstand zwischen gegenüberliegenden Kanten benachbarter Paare der Polysilizium-Streifen (61) ist.
 7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Polysilizium-Streifen (61) eine Breite von ungefähr 3,1 µm und einen Abstand von ungefähr 1,25 µm aufweisen.
 8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß die ersten Basis-Diffusionen (80) eine Tiefe von ungefähr 0,4 µm aufweisen und daß die zweiten Basis-Diffusionen eine Tiefe von ungefähr 1,25 µm aufweisen.
 9. Verfahren nach einem der Ansprüche 6-8, gekennzeichnet durch die Ausbildung von Isolier-Abstandsschichten (95, 96) über den Polysilizium-Streifen (61) und deren Seitenkanten, das Ätzen flacher Öffnungen durch Mittelteile der Source-Bereiche (81) und in die ersten Basis-Diffusionen (80), und das nachfolgende Abscheiden einer Metallschicht (90) über der oberen Oberfläche des Halbleiter-Bauteils, um einen Kontakt mit den Source-Bereichen und den ersten und zweiten Basis-Diffusionen herzustellen.
 10. Gleichspannungs-/Gleichspannungs-Wandlerschaltung unter Verwendung von Halbleiter-Bauteilen nach einem der Ansprüche 1-5, dadurch gekennzeichnet, daß die Wandlerschaltung einen Hochfrequenz-Steuer-MOSFET (111), der in Serie mit einer Gleichspannungsquelle, einer Induktivität (112) und einem Gleichspannungs-Ausgang geschaltet ist, sowie einen Synchrongleichrichter-MOSFET einschließt, der in geschlossener Schaltungsbeziehung mit der Induktivität (112) und dem Gleichspannungs-Ausgang angeschaltet ist, wobei sowohl der Steuer-MOSFET (111) als auch der Synchrongleichrichter-MOSFET (113) mit identischen planaren, parallelen Streifen-Topologien hergestellt sind, jedoch unterschiedliche Halbleiterplättchen-Flächen aufweisen, wobei der Synchrongleichrichter-MOSFET eine Halbleiterplättchen-Fläche aufweist, die größer als die des Steuer-MOSFET ist.
 11. Wandlerschaltung nach Anspruch 10, dadurch gekennzeichnet, daß die identischen Topologien für jeden der Steuer-MOSFETs und Synchrongleichrichter-MOSFETs für jedes Halbleiterplättchen folgendes umfassen:
 ein Halbleiterplättchen aus monokristallinem Silizium mit einem Hauptteil (51) und einer oberen, die Grenzschichten aufnehmenden Schicht (52) des einen Lei-

tungstyps,
 eine Vielzahl von langgestreckten, einen Abstand voneinander aufweisenden und parallelen Basisstreifen-Diffusionen (80) des anderen Leitungstyps, die in der oberen Oberfläche der die Grenzschichten aufnehmenden Schicht (52) ausgebildet sind, und eine Vielzahl von langgestreckten Source-Diffusionen (81) des einen Leitungstyps, die in den Basisstreifen-Diffusionen angeordnet sind und sich über die gleiche Strecke wie diese erstrecken, um invertierbare Kanalbereiche (82) entlang der Seiten jeder der langgestreckten Basisstreifen-Diffusionen (80) zu bilden,
 eine Vielzahl von Gate-Streifen (60, 61), die jeweils durch leitende Polysilizium-Streifen (61) bedeckte Gate-Oxid-Streifen (60) umfassen, wobei die Vielzahl von Gate-Streifen über jeweiligen mit Abstand voneinander angeordneten Paaren von benachbarten invertierbaren Kanalbereichen (82) und dem Abstand zwischen ihren jeweiligen Basis-Diffusionen liegt, wobei die Polysilizium-Streifen jeweils eine Breite im Bereich von ungefähr 3,2 µm bis 3,5 µm und einen Abstand im Bereich von ungefähr 1,4-4,0 µm aufweisen, wobei benachbarte Basis-Diffusionen einen Abstand von mehr als ungefähr 0,8 µm aufweisen.
 12. Wandlerschaltung nach Anspruch 10 oder 11, dadurch gekennzeichnet, daß die Polysilizium-Streifen (61) eine Breite von ungefähr 3,1 µm und einen Abstand von ungefähr 1,5 µm aufweisen.
 13. Wandlerschaltung nach Anspruch 12, dadurch gekennzeichnet, daß die Basis-Diffusionen eine Tiefe von ungefähr 1,25 µm aufweisen, und daß die Source-Diffusionen eine Tiefe von ungefähr 0,4 µm aufweisen.
 14. Wandlerschaltung nach einem der Ansprüche 10-13, dadurch gekennzeichnet, daß weiterhin eine Vielzahl von zweiten Basis-Diffusionen (85) des zweiten Leitungstyps vorgesehen ist, die auf jeweiligen der Basis-Diffusionen (80) zentriert sind, und eine höhere Konzentration als die der Basis-Diffusionen sowie eine Tiefe aufweisen, die größer als die der Basis-Diffusionen ist und die eine seitliche Erstreckung aufweisen, die durch den Abstand der Polysilizium-Streifen (61) definiert ist.

Hierzu 6 Seite(n) Zeichnungen

- Leerseite -

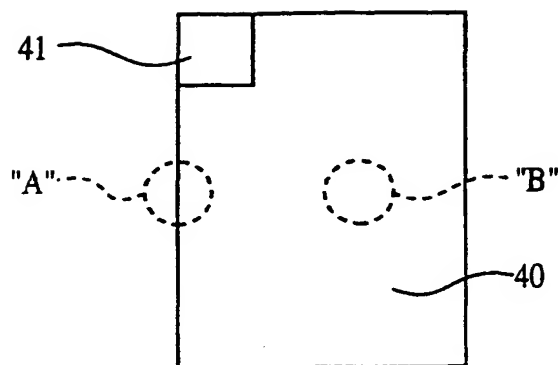


FIG. 1

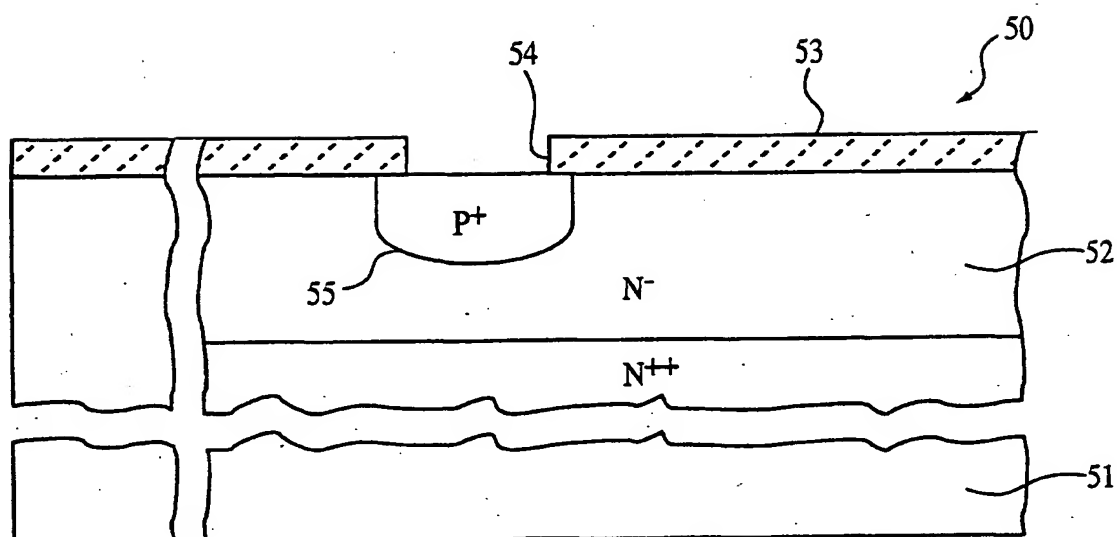


FIG. 2

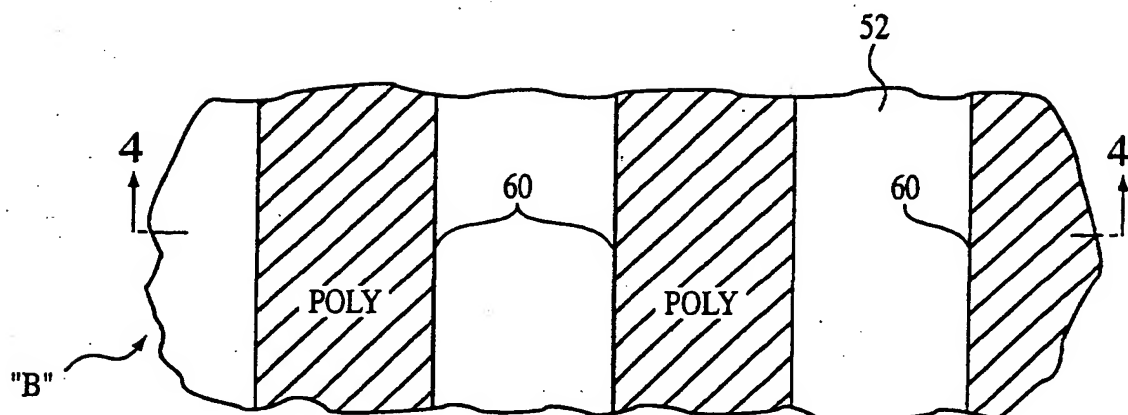


FIG. 3

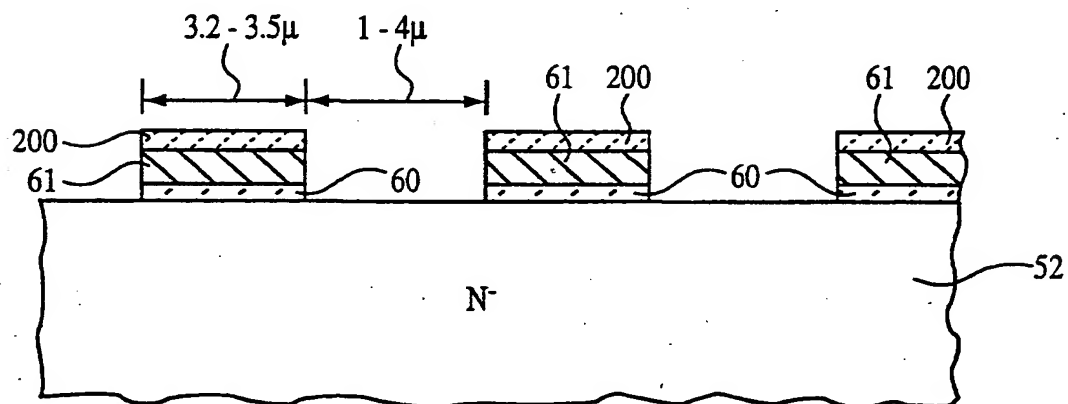


FIG. 4

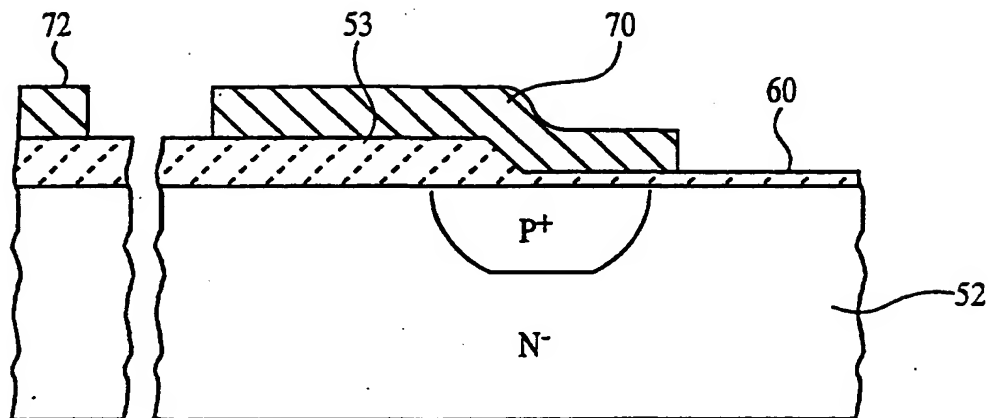


FIG. 5

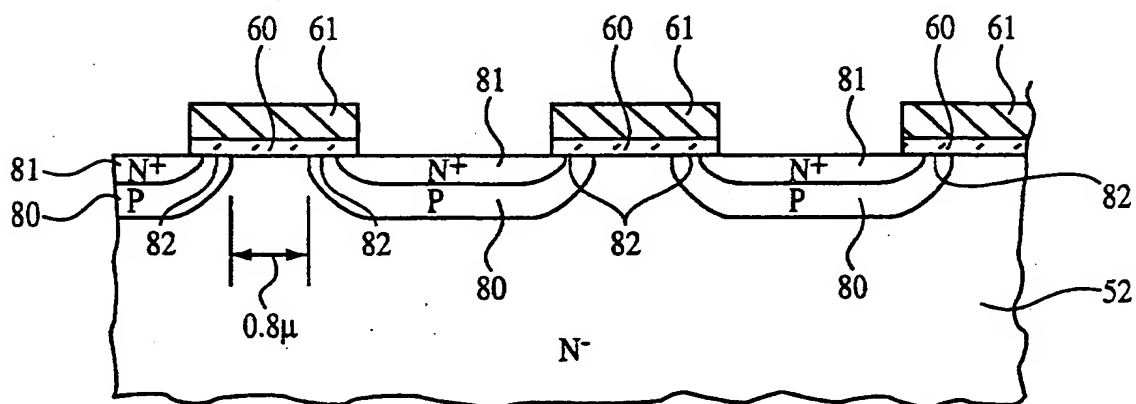


FIG. 6

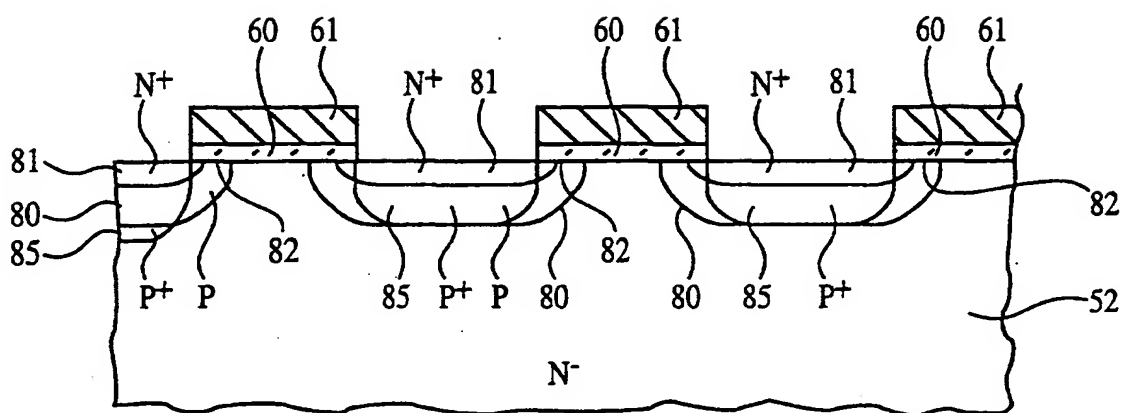


FIG. 7

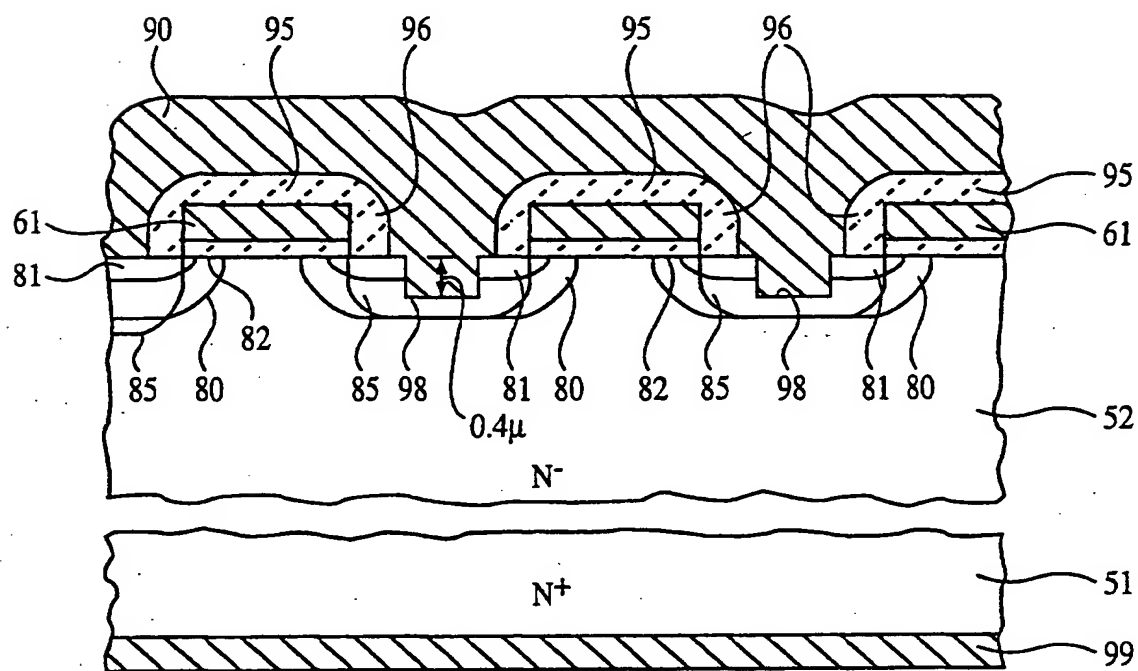


FIG. 8

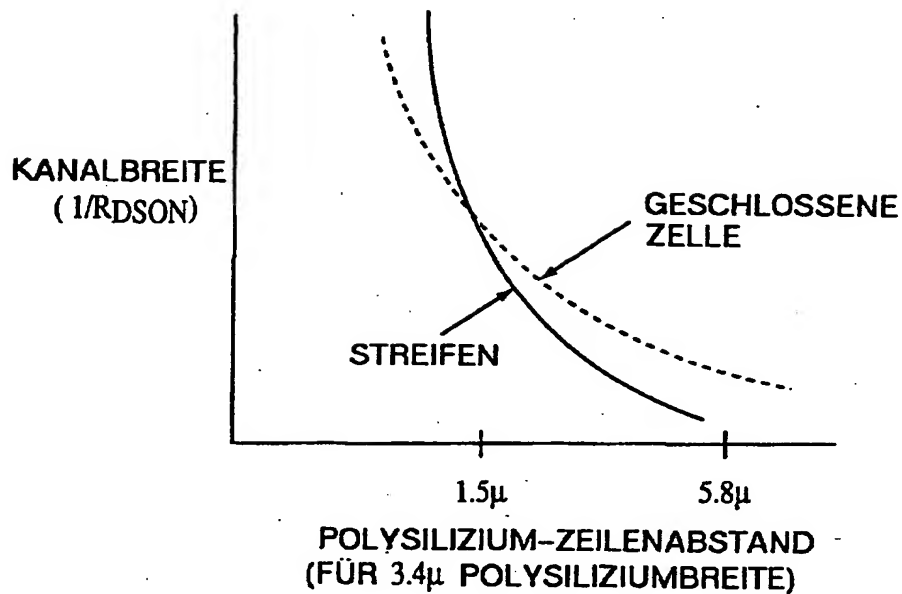


FIG. 9

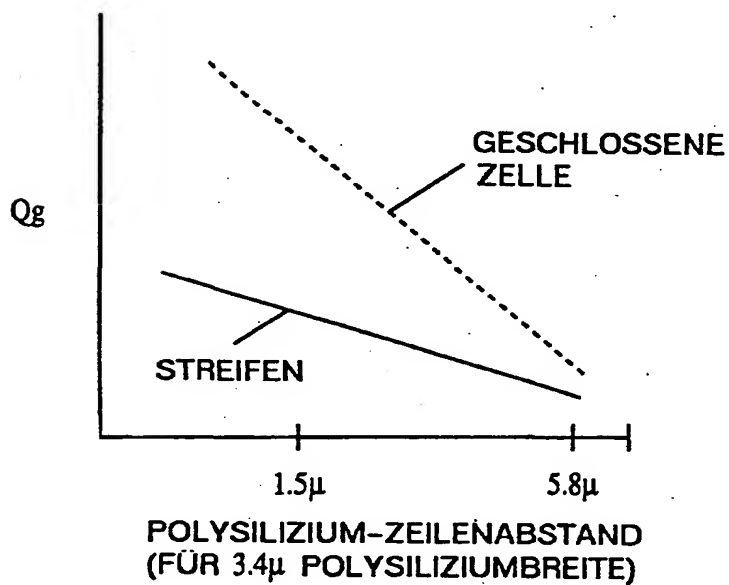


FIG. 10

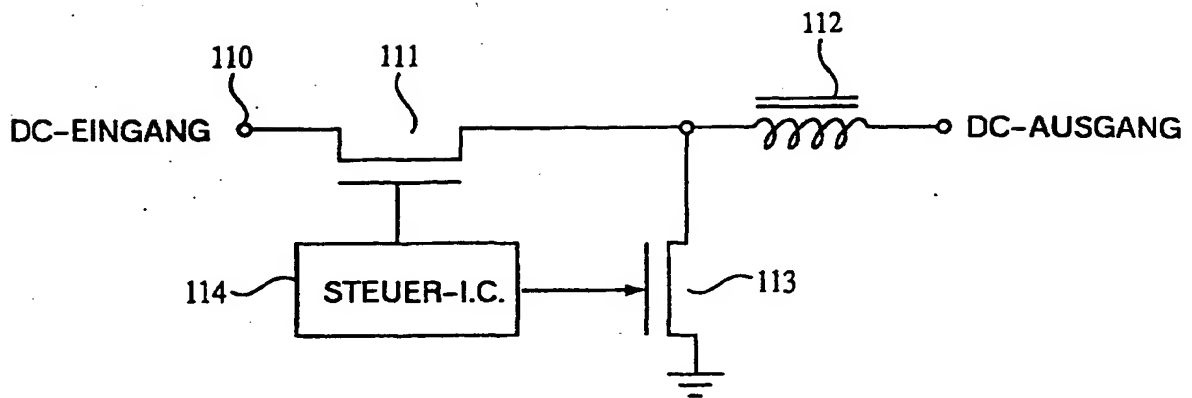


FIG. 11

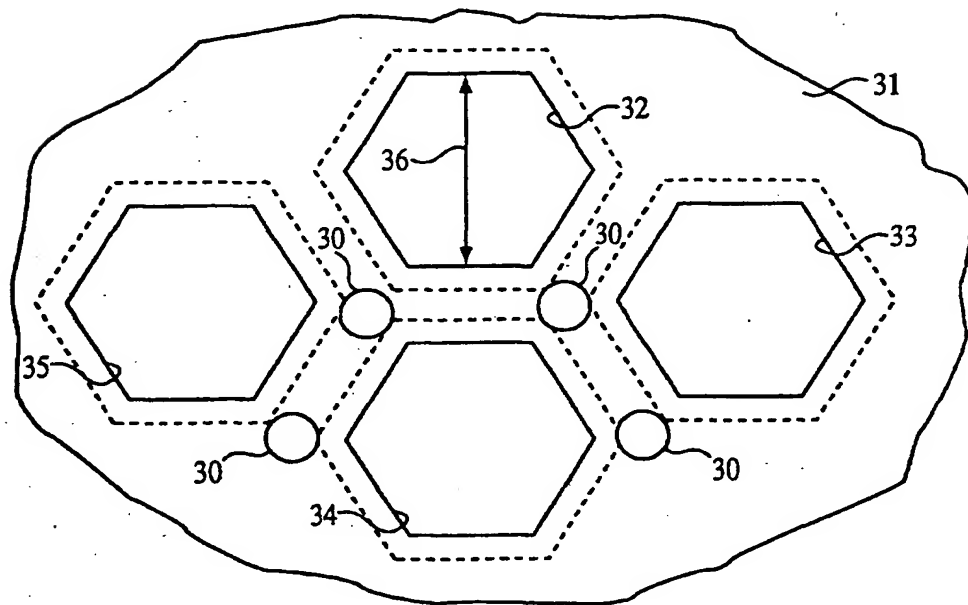


FIG. 12
STAND DER TECHNIK

Low voltage MOS gat controll d semiconductor compon nt, useful for a dir ct voltage/dir ct voltag conv rter, employs planar strip t chnology and has a minimal pow r ind x

Patent Number: DE19953620
Publication date: 2000-05-11
Inventor(s): HERMAN THOMAS (US)
Applicant(s): INT RECTIFIER CORP (US)
Requested Patent: DE19953620
Application Number: DE19991053620 19991108
Priority Number(s): US19980107700P 19981109
IPC Classification: H01L29/78; H01L21/336; H01L27/088; H02M3/10
EC Classification: H01L29/06D3B, H01L27/088, H01L21/336B2B, H01L29/78B2B
Equivalents: JP2000156383, TW434902

Abstract

A MOS gate controlled semiconductor component having gate strips (61) lying over invertible channel region pairs formed by source diffusions (81) in parallel spaced-apart base strip diffusions (80) is new. A semiconductor component with MOS gate control comprises a silicon wafer with an upper first conductivity type layer (52) accommodating boundary layers. Parallel spaced-apart second conductivity type base strip diffusions (80) are formed in the upper surface of the layer (52) and first conductivity type source diffusions (81) are formed in and extend over the same length as the base strip diffusions (80) to form invertible channel regions (82) along the sides of each of the base strip diffusions (80). Gate strips, comprising gate oxide strips covered by conductive polysilicon strips (61), lie over spaced-apart pairs of adjacent invertible channel regions (82) and the space between their respective base diffusions (80). Independent claims are also included for the following: (i) a process for producing the above component; and (ii) a d.c./d.c. converter circuit employing components as described above.

Data supplied from the esp@cenet database - I2

DOCKET NO: UUH-12728

SERIAL NO: _____

APPLICANT: H. Weber et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100